

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 4 6 1 9 7

(43) 公開日 平成 8 年 (1996) 2 月 16 日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336
21/3065

H 0 1 L 29/78 3 0 1 P
21/302 J

審査請求 未請求 請求項の数 4

O L

(全 5 頁)

最終頁に続く

(21) 出願番号 特願平 7-147808

(22) 出願日 平成 7 年 (1995) 6 月 14 日

(31) 優先権主張番号 269856

(32) 優先日 1994 年 6 月 30 日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

I N T E R N A T I O N A L B U S I N
E S S M A S C H I N E S C O R P O
R A T I O N

アメリカ合衆国 10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 リード・スチュアート・ベネット

アメリカ合衆国 87111 ニューメキシコ州

アルブケルケ アベニーダ・クエスタ ノ

ース・イースト 5409

(74) 代理人 弁理士 合田 潔 (外 2 名)

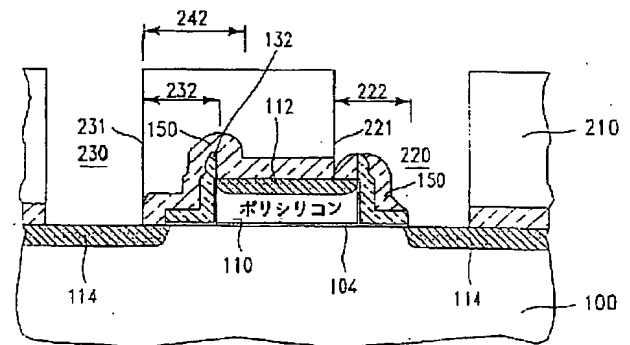
最終頁に続く

(54) 【発明の名称】 高密度 CMOS 用の簡略接触方法

(57) 【要約】

【目的】 処理がほとんど複雑にならずにゲートの名目中心と電極との間の必要な間隔を減少させる、MOS トランジスタのゲート、ソースおよびドレインに接点を形成する自己位置合せ式方法を提供する。

【構成】 この方法は、LDD 構造によって画定される側壁の上に位置し、ソース接点またはドレイン接点を開ける工程中にゲートを保護するのに十分なバッファ量だけゲートの上に延びる側壁を提供する。



1

【特許請求の範囲】

【請求項 1】シリコン層中に LDD 構造を有する MOS

トランジスタを形成する方法であって、

シリコン基板を準備する段階と、

ゲート酸化物と、ゲート上面を有するゲート電極層と、

第 1 の犠牲誘電体とを含むゲート・スタックを形成する

段階と、

ゲート・スタックをパターン形成して、垂直側壁を有す

るゲート・スタック柱状物と、前記シリコン層内で前記

ゲート・スタック柱状物に隣接するソース領域およびド

レイン領域とを画定する段階と、

前記垂直側壁を酸化する段階と、

前記ゲート・スタック柱状物と前記ソース領域およびド

レイン領域の上に共形の耐食性誘電体を付着する段階

と、

前記ゲート・スタック柱状物と前記ソース領域およびド

レイン領域の前記共形誘電体の上に第 2 の犠牲誘電体

を付着させる段階と、

前記第 2 の犠牲誘電体と前記共形誘電体の水平部分の方

向性エッチングを行い、それにより、前記第 1 の犠牲誘

電体と前記ソース領域およびドレイン領域を露出させ、

少なくとも前記共形誘電体を含む第 1 のゲート側壁を残

す段階と、

前記第 1 の犠牲誘電体を除去し、前記ゲート上面の上の

前記第 1 のゲート側壁から延びる隣接する前記共形誘電

体の垂直位置合せスタブを残す段階と、

前記ゲート・スタック柱状物の上に名目接点被覆層を有

する保護共形誘電体を付着させ、それにより、各前記垂

直位置合せスタブの周りに、前記名目接点被覆層よりも

大きい厚さを有する自己位置合せ保護部材を形成する段

階と、

第 1 の層間誘電体を付着させる段階と、

前記ソース領域およびドレイン領域の上に、前記層間誘

電体と前記保護共形誘電体を貫いて前記ソース領域およ

びドレイン領域まで接点孔をエッチングにより形成し、

残りの厚さの前記保護共形誘電体を前記ゲート・スタッ

2

【従来の技術】 MOS 回路の密度が高くなるにつれて、位置合せの要件が厳しくなっている。上側の相互接続レベルからトランジスタへの接点を形成するなど特定の段階が自己位置合せされない場合は、回路のレイアウトにおいて位置合せ誤差を見込んでおかなければならない。公差の累積により、回路密度を高めるという目的が損なわれる。

【0003】 当技術分野では、無境界接点などの複雑な方式を使用してきた。通常は、ゲート上に絶縁側壁が形成され、それによりソース/ドレイン開口部がゲートとある程度重なっても短絡を引き起こすことがない。これは望ましい結果を達成するが、処理がかなり複雑になりコストがかかる。

【0004】 当技術分野は、最新の回路に必要なとされる高密度を達成する、より簡単で安価な方法が以前から求められてきた。

【0005】

【発明が解決しようとする課題】 本発明は、処理がほとんど複雑にならずにゲートの名目中心と電極の間の必要な間隔を減少させる、LDD 構造を有する MOS トランジスタのゲート、ソースおよびドレインへの接点を形成する自己位置合せ式方法に関する。

【0006】

【課題を解決するための手段】 本発明の特徴は、LDD 構造を画定する側壁の上に位置し、ソース接点またはドレイン接点を開ける工程中にゲートを保護するのに十分なバッファ厚だけゲートの上方に延びる、側壁を提供することである。

【0007】

【実施例】 図 2 は、単結晶基板 100 を有し、その上に、ゲート酸化物層 102 と、多結晶シリコン（ポリ）110 と、TEOS（オルトケイ酸四エチル）またはシリコン・ドープされた窒化ホウ素の 150 nm の犠牲被膜 120 とを含むゲート・スタックが付着され、従来の反応性イオン・エッチング（RIE）でパターン形成されて MOS トランジスタ用のゲートになるべき構造を形成する、集積回路の一部分の断面図を示す。被膜 120 は、ソース接点とドレイン接点を開ける際にポリ・ゲート 110 の上隅部を保護する窒化物側壁の形成を支援する一時的な層である。

【0008】 図 3 は、ポリ・ゲート 110 の側壁を熱酸化して酸化物（ SiO_2 ）層 104 を形成し、窒化物（ Si_3N_4 ）からなる共形層 130 を従来の方法で付着した後に、その上に TEOS 層 140 を付着した同じ領域を示す。実例を挙げると、厚さ 200 nm のポリ・ゲート層では被膜 140 は厚さ 150 nm である。次に、反応性イオン・エッチング（RIE）によって構造物のエッチングを行って、図 4 に示すように、ゲート・スタック 110 の外側のポリシリコン 120 上でエッチングを止めて窒化物と酸化物の側壁を残し、水平な TEOS

50

140および窒化物130を除去する。従来のオーバーエッチングの間に被膜120の一部が除去されるとしても、被膜120は後で除去されるので問題はない。この処理の結果、窒化物スタブ132がゲート110上面の上方に残り、窒化物130の水平部分がTEOS層140の残った幅広い側壁の下部に残る。

【0009】被膜140と120の残りの部分は、従来のHF溶液（または、高温のリン酸）で除去し、その後、ソース、ドレイン114およびポリ・ゲート110を注入する。Tiを付着し、アニールして接触抵抗を小さくするためにTiサリサイド112と114を形成する。窒化物の共形層150（例えば150nm）を付着すると、図1に示した構造が残る。

【0010】図1において、ゲート110の隅の上方に、文字Aで示され、ポリ・ゲート110の上面より上に名目上は窒化物150の厚さBと被膜120の厚さの合計の高さを有する保護側壁があることは明らかである。この側壁は、被膜120の除去によって画定された窒化物130のスタブ132の周りに位置合せされる。誘電体層210（1000nmのPSG）を付着し平坦化する。誘電体210を貫いて窒化物150上で止まるRIEと、窒化物150を貫いてシリコン上で止まる2回目のRIEによって、誘電体210中に接点開口部をエッチングする。

【0011】この自己位置合せされた側壁バッファにより、ドレインの上の水平な窒化物層150を貫いて接点孔を開ける窒化物除去エッチングがポリ・ゲート110上面の窒化物をも貫通する、ドレイン接点の左端の名目位置からポリ・ゲート110上面の点に延びる、文字Cで示された位置合せ公差が提供される。

【0012】図5は、一方（230）が正しく位置合せされ、他方（220）が最大量だけ位置外れした、2つの開口部を示す。矢印232は、開口部230の近い方の縁部231と窒化物位置合せスタブ132の垂直な縁部との間の名目距離を示す。図の右側には、矢印222によって示された最大量の位置外れを有する開口部220を示す。開口部220が、図に示したものよりもゲートに近い場合は、開口部220内に付着される接点がドレインとゲートの間で短絡を引き起こすことになる。本発明によって提供される特別の公差は、名目開口部の縁部から、窒化物エッチングによってポリ・ゲート110上部のシリサイド112に達するまで切除される点までの距離を示す矢印242と、以前の公差を示す矢印232との差によって定義される。

【0013】図には示していないが、ゲートへの接点も、同じマスクおよびエッチング・ステップを使って画定されエッチングされる。この実施例で示したソース接点およびドレイン接点からの公差を実現するために、ゲートへの接点は紙面よりも前または後に配置される。

【0014】本発明は、P形またはN形のMOSトラン

ジスタならびにバルク基板またはシリコン・オン・インシュレータ（SOI）基板で実施できることは当業者には容易に理解されるであろう。集積回路の加工には多くの段階があり、「基板を準備する」との表現は、たとえば、エピタキシャル層を成長させ、臨界注入を行い、nウェルまたはpウェルあるいはその両方を形成する予備的段階を示すために使用され、「回路を完成する」との表現は、相互接続や中間層誘電体などを形成する一連の段階の最終段階を示すために使用されることを理解されたい。当業者なら、本開示に照らせば本発明の修正例を容易に考案することができよう。頭記の特許請求の範囲は、開示された実施例に限定されるものではない。

【0015】まとめとして、本発明の構成に関して以下の事項を開示する。

【0016】（1）シリコン層中にLDD構造を有するMOSトランジスタを形成する方法であって、シリコン基板を準備する段階と、ゲート酸化物と、ゲート上面を有するゲート電極層と、第1の犠牲誘電体とを含むゲート・スタックを形成する段階と、ゲート・スタックをパターン形成して、垂直側壁を有するゲート・スタック柱状物と、前記シリコン層内で前記ゲート・スタック柱状物に隣接するソース領域およびドレイン領域とを画定する段階と、前記垂直側壁を酸化する段階と、前記ゲート・スタック柱状物と前記ソース領域およびドレイン領域の上に共形の耐食性誘電体を付着する段階と、前記ゲート・スタック柱状物と前記ソース領域およびドレイン領域の前記共形誘電体の上に第2の犠牲誘電体を付着させる段階と、前記第2の犠牲誘電体と前記共形誘電体の水平部分の方向性エッチングを行い、それにより、前記第1の犠牲誘電体と前記ソース領域およびドレイン領域を露出させ、少なくとも前記共形誘電体を含む第1のゲート側壁を残す段階と、前記第1の犠牲誘電体を除去し、前記ゲート上面の上の前記第1のゲート側壁から延びる隣接する前記共形誘電体の垂直位置合せスタブを残す段階と、前記ゲート・スタック柱状物の上に名目接点被覆厚を有する保護共形誘電体を付着させ、それにより、各前記垂直位置合せスタブの周りに、前記名目接点被覆厚よりも大きい厚さを有する自己位置合せ保護部材を形成する段階と、第1の層間誘電体を付着させる段階と、前記ソース領域およびドレイン領域の上に、前記層間誘電体と前記保護共形誘電体を貫いて前記ソース領域およびドレイン領域まで接点孔をエッチングにより形成し、それにより、残りの厚さの前記保護共形誘電体を前記ゲート・スタック柱状物の隅の上に残す段階とを含む方法。

（2）前記第1の犠牲誘電体がTEOSであることを特徴とする、上記（1）に記載の方法。

（3）前記第1の犠牲誘電体が窒化ホウ素であることを特徴とする、上記（1）に記載の方法。

（4）前記保護共形誘電体を貫いて前記ゲートまで、前記ゲートの上に接点孔をエッチングにより形成する段階

を含むことを特徴とする、上記(1)に記載の方法。

【図面の簡単な説明】

【図1】本発明に従って構成されたトランジスタの、接点孔開口前の断面図である。

【図2】トランジスタの組立ての中間段階を示す図である。

【図3】トランジスタの組立ての図2に続く中間段階を示す図である。

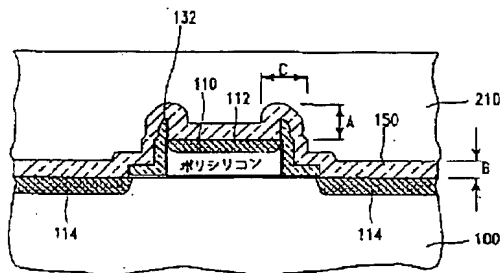
【図4】トランジスタの組立ての図3に続く中間段階を示す図である。

【図5】位置合せされた接点開口部と位置が外れた接点開口部とを有するトランジスタを示す図である。

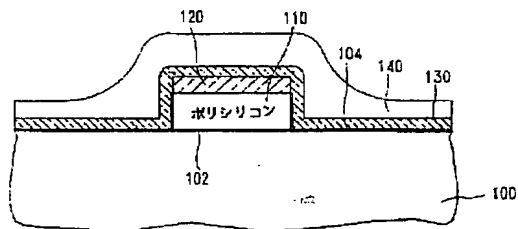
【符号の説明】

- 100 単結晶基板
- 102 ゲート酸化物層
- 110 多結晶シリコン
- 112 シリサイド
- 114 ソースおよびドレイン領域
- 120 犠牲被膜
- 130 窒化物層
- 132 窒化物スタブ
- 140 被膜
- 210 誘電体層
- 220 開口部

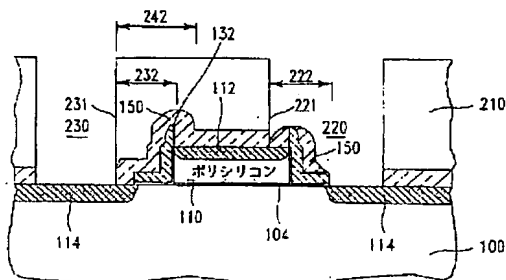
【図1】



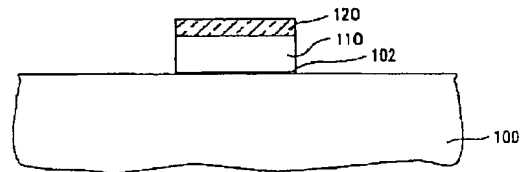
【図3】



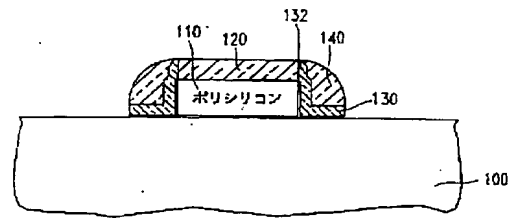
【図5】



【図2】



【図4】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 L

(72)発明者 デニス・セク=オン・イー

アメリカ合衆国10570 ニューヨーク州ブ

レザントヴィル ビーチ・ヒル・ロード

75